

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042394
Application Number

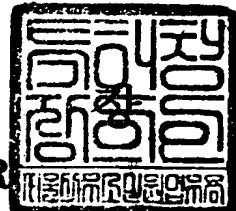
출원년월일 : 2002년 07월 19일
Date of Application JUL 19, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 14일

특허청
COMMISSIONER





1020020042394

출력 일자: 2003/5/15

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0016		
【제출일자】	2002.07.19		
【발명의 명칭】	반도체 장치 제조방법		
【발명의 영문명칭】	Method for fabricating semiconductor device		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	윤동수		
【성명의 영문표기】	YOOON,Dong Soo		
【주민등록번호】	650320-1912391		
【우편번호】	467-140		
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 109-704		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 성 (인) 특허법인 신		
【수수료】			
【기본출원료】	15	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 장치의 제조공정중에 발생하는 수소에 의한 하부구조의 충격을 방지할 수 있는 수소확산방지막을 제공하기 위한 것으로, 이를 위해 본 발명은 소정의 구조물이 형성된 기판상에 수소확산 방지막으로 하프늄바나듐산화막을 형성하는 단계; 상기 하프늄바나듐산화막 상에 절연막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법을 제공한다.

【대표도】

도 2

【색인어】

반도체, 캐패시터, 층간절연막, 확산방지막, 수소

【명세서】**【발명의 명칭】**

반도체 장치 제조방법{Method for fabricating semiconductor device}

【도면의 간단한 설명】

도1은 종래기술에 의한 반도체 장치의 제조방법을 나타내는 공정단면도.

도2는 본 발명의 바람직한 실시예에 따른 반도체 캐패시터 제조방법을 나타내는 공정단면도.

<도면의 주요부분에 대한 부호의 설명>

30 : 기판

39, 40, 41 : 캐패시터

42, 47, 50 : 수소화산방산방지막

43, 36, 43, 48 : 충간절연막

51 : 폐시베이션막

46, 49 : 금속배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 제조기술에 관한 것으로, 특히 반도체 소자의 수소확산방지막에 관한 것이다.

<11> 반도체 장치의 제조시 하부구조와 상부구조의 절연을 위한 절연막은 층간절연막, 금속배선간 절연막 및 보호막 공정으로 나눌수 있다.

<12> 이러한 절연막 제조공정은 통상적으로 수소를 포함한 원료가스와 플라즈마를 사용하기 때문에, 절연막 제조공정시에 발생되는 수소원자, 이온, 및 분자가 기 형성된 하부 구조, 특히 캐패시터의 유전체 박막으로 확산되어 유전체의 특성을 저하시키는 수소 충격을 유발한다. 따라서 절연막 형성시에 발생하는 수소에 대한 확산방지막을 절연막 이전에 형성하는 공정을 실시하고 있다.

<13> 도1은 종래기술에 반도체 장치의 제조방법을 나타내는 공정단면도이다.

<14> 도1에 도시된 바와 같이, 활성영역(2a,2b), 소자분리막(1), 게이트패턴(3)이 형성된 반도체기판(22)상에 제1 층간절연막(4)을 형성한 후, 제1 층간절연막을 선택적으로 제거하여 게이트패턴(3)의 일측에 형성된 활성영역(2b)와 연결하는 비트라인(5)을 형성한다.

<15> 이어서 제1 층간절연막(4) 상에 제2 층간절연막(6)을 형성하고, 그 상부에는 폐시베이션(Passivation)을 위한 절연막을 형성한다.

<16> 이어서 캐패시터가 형성될 영역에, 하부전극과 충간절연막과의 접착을 위한 접착층(8)을 형성하고, 그 상부에 하부전극(9)/유전체박막(10)/상부전극(11)으로 구성되는 캐패시터를 형성한다. 이어서 후속 절연막 형성공정에서 발생하는 수소 확산을 방지하기 위한 제1 확산방지막(12)을 캐패시터(9,10,11)를 덮을 수 있도록 형성한다.

<17> 이어서 제3 충간절연막(13)을 형성하고 캐패시터의 상부전극(11) 및 게이트패턴(3)의 타측에 형성된 활성영역(2a)이 노출되도록 콘택홀을 형성한다.

<18> 이어서 캐패시터의 상부전극을 보호하는 강유전체 보호막(14)과 베리어메탈(15)을 형성하고, 캐패시터의 상부전극과 활성영역(2a)을 연결하는 제1 금속배선(16)을 형성한다. 이어서, 기 형성된 구조물을 덮을 수 있도록 기판전면에 수소확산방지를 위한 제2 확산방지막(17)을 형성한다.

<19> 이어서 제2 확산방지막(17)상에 제4 충간절연막(18)을 형성하고, 그 상부에 제2 금속배선(19)을 형성한다. 이어서 제2 금속배선(19) 상에 제3 확산방지막(20)을 형성하고, 그 상부에 페시베이션막(21)을 형성한다.

<20> 상술한 제1 내지 제3 확산방지막(12,17,20)은 수소확산방지막으로 주로 Al_2O_3 또는 TiO_2 의 절연막을 사용하여 왔다. 그러나 이러한 절연막들은 수소의 확산을 완전히 차단하지 못하고 있는 실정이다.

<21> 절연막을 형성할 때 사용되는 수소(원자, 분자, 플라즈마등)에 의한 하부구조물의 충격은 반도체 장치의 성능저하하게 결정적인 문제가 되고 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 반도체 장치의 제조공정중에 발생하는 수소에 의한 하부구조의 충격을 방지할 수 있는 수소확산방지막을 제공함을 목적으로 한다.

【발명의 구성 및 작용】

<23> 상기의 목적을 달성하기 위한 본 발명은 소정의 구조물이 형성된 기판상에 수소확산 방지막으로 하프늄바나듐산화막을 형성하는 단계; 및 상기 하프늄바나듐산화막 상에 절연막을 형성하는 단계를 포함하는 반도체 장치의 제조방법을 제공한다.

<24> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<25> 도2는 본 발명의 바람직한 실시예에 따른 반도체 캐패시터 제조방법을 나타내는 공정단면도이다.

<26> 도2에 도시된 바와 같이, 활성영역(32a,32b), 소자분리막(31), 게이트패턴(33)이 형성된 반도체기판(30)상에 제1 층간절연막(34)을 형성한 후, 제1 층간절연막(34)을 선택적으로 제거하여 게이트패턴(33)의 일측에 형성된 활성영역(32b)와 연결하는 비트라인(35)을 형성한다.

<27> 이어서 제1 층간절연막(34) 상에 제2 층간절연막(36)을 형성하고, 그 상부에는 폐시베이션(Passivation)을 위해 실리콘산화막으로 폐세베이션막(37)을 형성한다.

<28> 이어서 캐패시터가 형성될 영역에 하부전극과 충간절연막과의 접착을 위한 접착층(38)을 형성하고, 그 상부에 하부전극(39)/유전체박막(40)/상부전극(41)으로 구성되는 캐패시터를 형성한다. 이어서 후속 절연막 형성공정에서 발생하는 수소 확산을 방지하기 위한 제1 확산방지막(42)을 캐패시터(39, 40, 41)를 덮을 수 있도록 형성한다.

<29> 여기서 제1 확산방지막(42)로는 물리적기상증착법으로 하프늄바나듐산화막(HfVO_x)을 사용한다. 하프늄바나듐산화막은 알루미나 및 티타늄산화물보다 밀도가 높은 하프늄 산화물을 기지로 선택하고 바나듐을 첨가시켜 형성되는 높은 밀도를 가진 막이다.

<30> 수소는 알려진 바와 같이 확산속도가 매우 빠르다. 따라서 수소의 확산을 억제하기 위해서는 밀도가 높은 미세구조뿐만 아니라 수소를 저장할 수 있는 능력이 있어야 된다. 하프늄바나듐산화막은 비교적 높은 온도(예컨대 500°C)에서 수소를 저장할 수 있는 능력이 있는 물질이기 때문에 수소의 확산을 방지하는 능력이 우수하다.

<31> 이어서 제3 충간절연막(43)을 형성하고 캐패시터의 상부전극(41) 및 게이트패턴(43)의 타측에 형성된 활성영역(42a)이 노출되도록 콘택홀을 형성한다.

<32> 이어서 캐패시터의 상부전극을 보호하는 강유전체 보호막(44)과 베리어메탈(45)을 형성하고, 캐패시터의 상부전극과 활성영역(42a)을 연결하는 제1 금속배선(46)을 형성한다. 이어서, 기 형성된 구조물을 덮을 수 있도록 기판전면에 수소확산방지를 위한 제2 확산방지막(47)을 형성한다.

<33> 이어서 제2 확산방지막(47)상에 제4 충간절연막(48)을 형성하고, 그 상부에 제2 금속배선(49)을 형성한다. 이어서 제2 금속배선(49) 상에 제3 확산방지막(50)을 형성하고, 그 상부에 폐시베이션막(51)을 형성한다.

<34> 본 발명에 의해 새로운 수소산화방지층의 개발로 캐페시터제조후 절연막 형성공정 중에 발생하는 수소의 확산을 효과적으로 차단할 수 있다. 이로 인해 신뢰성 있고 전기적 특성이 우수한 반도체 장치의 제조가 가능하다.

<35> 이하에서는 본 발명의 핵심적 사항인 수소확산방지막으로 사용된 하프늄바나듐산화막의 증착공정 및 표면의 조밀화하기 위한 공정에 대해서 살펴본다.

<36> 먼저, 하프늄바나듐산화막은 Hf 및 V 타겟과 반응기체를 사용하여 물리증착법으로 100 ~ 900°C 범위의 온도에서 증착한다. 증착두께는 200 ~ 1000Å 정도로, 조성비는 Hf : 50 ~ 90 at%, V : 10 ~ 50 at%, O : 1 ~ 80 at%의 범위에서 형성한다.

<37> 형성된 하프늄바나듐산화막에 표면을 조밀하게 하기 위해 산소를 추가로 충진시킬 수 있다. 이 때 산소를 충진시키기 위하여 산소분위기에 100 ~ 650°C, 1 ~ 5 분동안 금속열처리를 한다.

<38> 또한, 산소 충진을 위해 Ar+O₂ 분위기에서 100 ~ 650°C 1 ~ 5분동안 금속열처리 공정을 진행하거나, N₂ + O₂ 분위기에서 100 ~ 650°C, 1 ~ 5 분동안 급속열처리 공정을 진행할 수 있다.

<39> 또한, 확산방지막의 표면을 조밀하고 균일한 표면 충진을 위하여 산소를 이온화시켜 기판쪽의 전기장에 의해 100 ~ 650°C, 1 ~ 5 분동안 가속시키는 방법을 사용할 수도 있다.

<40> 또한, 확산방지막의 표면을 조밀하고 균일한 표면 충진을 위하여 챔버내 Ar을 이온화시키거나 Ar과 산소를 동시에 이온화시켜 증착된 확산방지막을 때려주어 막직을 조

밀하게 만들어준 후 산소 이온으로 균일한 산화층을 형성시키는 방법을 사용할 수 있다.

이 때에도 100 ~ 650°C, 1 ~ 5 분동안 공정을 진행한다.

<41> 또한, 확산방지막의 표면을 조밀하고 균일한 표면 충진을 위하여 챔버내 질소를 이온화시키거나 질소와 산소를 동시에 이온화시켜 증착된 확산방지막을 때려주어 막직을 조밀하게 만들어준 후 산소 이온으로 균일한 산화층을 형성시키는 방법을 사용할 수 있다. 이 때에도 100 ~ 650°C, 1 ~ 5 분동안 공정을 진행한다.

<42> 또한, 확산방지막의 표면을 조밀하고 균일한 표면 충진을 위하여 챔버내 NH₄로 열처리하거나, NH₄로 플라즈마로 열처리한후 산소 이온으로 균일한 산화층을 형성시키는 방법을 사용할 수 있다. 이 때에도 100 ~ 650°C, 1 ~ 5 분동안 공정을 진행한다.

<43> 또한, 확산방지막의 표면을 조밀하고 균일한 표면 충진을 위하여 챔버내 NH₄로 플라즈마와 산소플라즈마를 이용하거나 또는 UV오존을 이용할 수 있다. 또한, 상기한 사상을 조합하여 표면충을 개질시킬수 있다.

<44> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<45> 본 발명에 의해 수소확산방지막을 형성하면 반도체 제조공정시 수소의 하부구조에 대한 확산을 차단하여 신뢰성 높은 반도체 장치를 제조할 수 있다.

<46>

【특허청구범위】**【청구항 1】**

소정의 구조물이 형성된 기판상에 수소확산 방지막으로 하프늄바나듐산화막을 형성하는 단계; 및

상기 하프늄바나듐산화막 상에 절연막을 형성하는 단계
를 포함하는 반도체 장치의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 소정의 구조물은 캐패시터를 포함하여 이루어지는 것을 특징으로 하는 반도체
장치의 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 하프늄바나듐산화막은 물리적기상증착법으로 형성하는것을 특징으로 하는 반
도체 장치의 제조방법.

【청구항 4】

제 2 항에 있어서,

상기 하프늄바나듐산화막은 200 ~ 1000 Å 범위의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 5】

제 3 항에 있어서,

상기 하프늄바나듐산화막은 100 ~ 900°C 범위의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해 산소분위기에서 100 ~ 650°C, 1 ~ 5분에서 급속열처리공정을 진행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해 Ar+O₂ 분위기에서 100 ~ 650°C 1 ~ 5분동안 금속열처리 공정을 진행하거나, N₂ + O₂ 분위기에서 100 ~ 650°C, 1 ~ 5 분동

안 급속열처리 공정을 진행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해 산소를 이온화시켜 기판쪽의 전기장에 의해 100 ~ 650°C, 1 ~ 5 분동안 가속시키는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 9】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해, 상기 하프늄바나듐산화막을 형성한 챔버내에서 Ar을 이온화시키거나 Ar과 산소를 동시에 이온화시켜 상기 하프늄바나듐산화막을 100 ~ 650°C, 1 ~ 5 분동안 때려주는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 10】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해, 상기 하프늄바나듐산화막을 형성한 챔버내에서 질소를 이온화시키거나 질소와 산소를 동시에 이온화시켜 증착된 상기

하프늄바나듐산화막을 100 ~ 650°C, 1 ~ 5 분동안 때려주는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 11】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해, 상기 하프늄바나듐산화막을 형성한 챔버내에서 NH₄로 열처리하거나, NH₄로 플라즈마로 100 ~ 650°C, 1 ~ 5 분동안 열처리한후 산소 이온으로 균일한 산화층을 형성시키는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

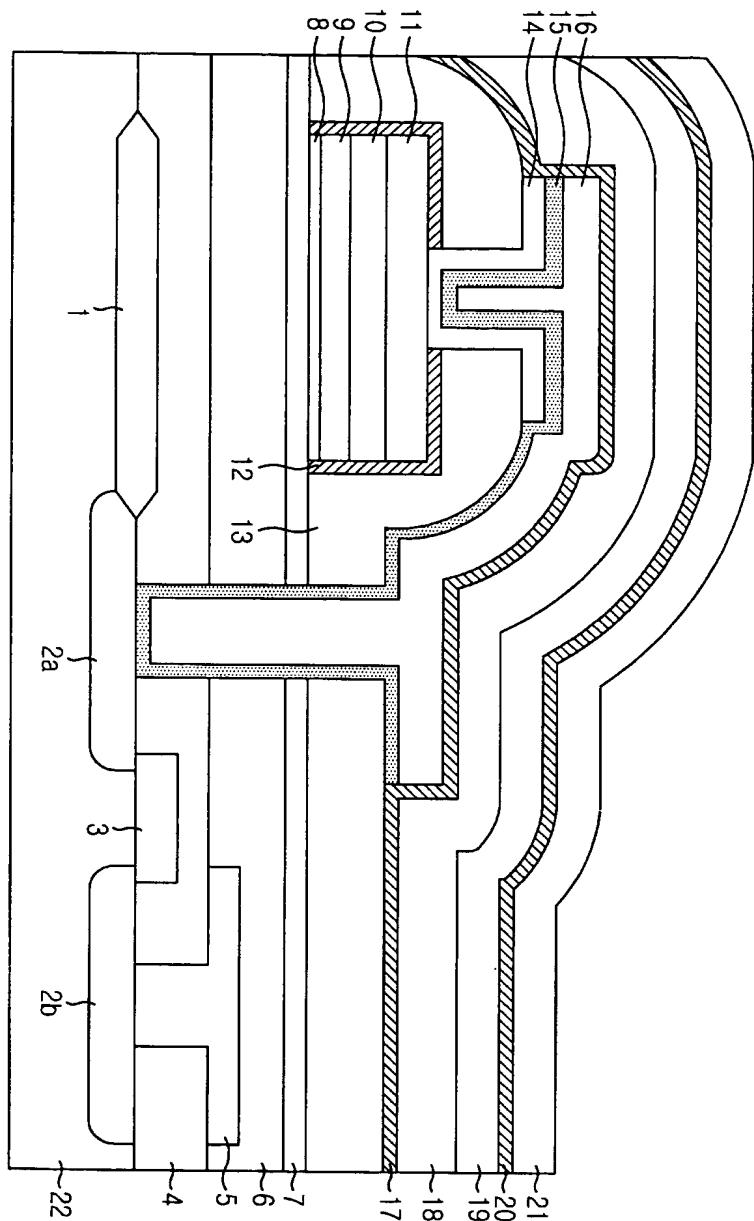
【청구항 12】

제 1 항에 있어서,

상기 하프늄바나듐산화막의 표면을 조밀하기 위해, 상기 하프늄바나듐산화막을 형성한 챔버내에서 NH₄로 플라즈마와 산소플라즈마를 이용하거나 또는 UV오존을 이용하여 100 ~ 650°C, 1 ~ 5 분동안 열처리한후, 산소 이온으로 균일한 산화층을 형성시키는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

【도 1】



【도 2】

